

FIȘA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică din Cluj-Napoca
1.2 Facultatea	Automatică și Calculatoare
1.3 Departamentul	Calculatoare
1.4 Domeniul de studii	Calculatoare și Tehnologia Informației
1.5 Ciclu de studii	Licență
1.6 Programul de studii / Calificarea	Calculatoare și Tehnologia Informației / Inginer
1.7 Forma de învățământ	IF – învățământ cu frecvență
1.8 Codul disciplinei	31.

2. Date despre disciplină

2.1 Denumirea disciplinei	Structura sistemelor de calcul				
2.2 Titularii de curs	Prof. dr. ing. Anca Hangan - anca.hangan@cs.utcluj.ro Șl. dr. ing. Mircea-Paul Mureșan - mircea.muresan@cs.utcluj.ro				
2.3 Titularul / Titularii activităților de seminar / laborator / proiect	Șl. dr. ing. Mădălin Neagu - madalin.neagu@cs.utcluj.ro Șl. dr. ing. Dragoș-Florin Lișman - dragos.lisman@cs.utcluj.ro				
2.4 Anul de studiu	III	2.5 Semestrul	5	2.6 Tipul de evaluare (E – examen, C – colocviu, V – verificare)	E
2.7 Regimul disciplinei	DF – fundamentală, DD – în domeniu, DS – de specialitate, DC – complementară				DD
	DI – Impusă, DOp – opțională, DFac – facultativă				DI

3. Timpul total estimat

3.1 Număr de ore pe săptămână	5	din care:	Curs	2	Seminar	-	Laborator	2	Proiect	1
3.2 Număr de ore pe semestru	70	din care:	Curs	28	Seminar	-	Laborator	28	Proiect	14
3.3 Distribuția fondului de timp (ore pe semestru) pentru:										
(a) Studiul după manual, suport de curs, bibliografie și notițe										15
(b) Documentare suplimentară în bibliotecă, pe platforme electronice de specialitate și pe teren										16
(c) Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri										12
(d) Tutoriat										8
(e) Examinări										4
(f) Alte activități:										0
3.4 Total ore studiu individual (suma (3.3(a))...3.3(f)))					55					
3.5 Total ore pe semestru (3.2+3.4)					125					
3.6 Numărul de credite					5					

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Proiectare logică, Arhitectura calculatoarelor
4.2 de competențe	Competențele disciplinelor Proiectare logică, Arhitectura calculatoarelor

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	Calculator, tabletă grafică, platforma Microsoft Teams
5.2. de desfășurare a laboratorului / proiectului	Calculatoare, plăci de dezvoltare cu circuite FPGA, mediul de proiectare Xilinx Vivado Design Suite

6. Competențele specifice acumulate

6.1 Competențe profesionale	C2 - Proiectarea componentelor hardware, software și de comunicații C2.1 - Descrierea structurii și funcționării componentelor hardware, software și de comunicații C2.2 - Explicarea rolului, interacțiunii și funcționării componentelor sistemelor hardware, software și de comunicații C2.3 - Construirea unor componente hardware, software și de comunicații folosind metode de proiectare, limbaje, algoritmi, structuri de date, protocoale și tehnologii C2.4 - Evaluarea caracteristicilor funcționale și nefuncționale ale componentelor hardware, software și de comunicații, pe baza unor metrice C2.5 - Implementarea componentelor hardware, software și de comunicație
6.2 Competențe transversale	N/A

7. Obiectivele disciplinei

7.1 Obiectivul general al disciplinei	Cunoașterea structurii unor componente ale sistemelor de calcul și deprinderea proiectării acestor componente
7.2 Obiectivele specifice	- Proiectarea și implementarea prin hardware a unor operații aritmetice cu numere întregi și în virgulă mobilă; - Proiectarea unor sisteme ierarhice de memorie și memorii cache; - Utilizarea tehnicii pipeline și a matricilor sistolice pentru implementarea cu performanțe ridicate a operațiilor aritmetice; - Proiectarea și implementarea unor module hardware pe diferite plăci de dezvoltare cu circuite FPGA utilizând limbajul VHDL; - Cunoașterea principalelor arhitecturi paralele de calcul și a direcțiilor curente în domeniul arhitecturilor de calcul.

8. Conținuturi

8.1 Curs	Nr.ore	Metode de predare	Obs.
Introducere. Parametri de performanță ai unui calculator și metode de îmbunătățire.	2	Prezentări Power Point. Probleme rezolvate La tablă. Întrebări, discuții, consultații la cerere.	N/A
Masurarea performanțelor unui calculator si configuratii optime	2		
Unitatea aritmetică și logică.	2		
Unitatea centrala de prelucrare, arhitectura MIPS, pipeline si situatii de hazard	2		
Unitatea Centrală de Procesare – tehnici avansate: metoda Scoreboard, algoritmul lui Tomasulo, tehnici de predicție a salturilor	2		
Unitatea centrală de procesare – sisteme multi-core	2		
Microprocesoare – componente de bază și implementări avansate	2		
Sistem de memorie – tehnologii de memorie (SRAM, DRAM) și principii de proiectare	2		
Ierarhii de memorie – Memoria cache și memorie virtuală	2		
Sisteme de interconectare – magistrale sincrone și asincrone seriale și paralele, interconexiuni multipunct	2		
Arhitecturi de calculatoare paralele - diferite nivele de execuție paralelă	2		
Arhitecturi RISC – principii și exemple de implementare	2		
Sisteme de calcul distribuite – GRID și Cloud	2		
Perspective tehnologice în arhitectura calculatoarelor	2		
BibliografieȘ			
1. Gorgan Dorian, Sebestyen Gheorghe, Structura Calculatoarelor, Editura albastra, Cluj-Napoca 2005			
2. Hennessy John, Patterson David, Computer architecture, a Quantitative Approach, Ed. Elsevier, 2007			
3. Baruch, Z. F., Structure of Computer Systems, U.T.PRES, Cluj-Napoca, 2002, ISBN 973-8335-44-2.6.			
4. Cursuri și lucrări de laborator la adresa http://users.utcluj.ro/~sebestyen/cursuri_laboratoare			

8.2 Aplicații - seminar / laborator / proiect	Nr.ore	Metode de predare	Obs.
Măsurarea performanței sistemelor informatice cu benchmark-uri	2	- Explicații suplimentare - Aplicații pe plăci de dezvoltare cu circuite FPGA - Utilizarea unui mediu de dezvoltare pentru circuite FPGA	N/A
Măsurarea performanței CPU folosind registrul Time-Stamp Counter	2		
Elemente de programare în VHDL	2		
Proiectarea componentelor ALU	2		
Sinteza FPGA	2		
Procesarea datelor în flux. Protocolul de comunicare AXI4-Stream.	2		
Procesarea datelor în flux. Proiectarea modulelor conforme cu AXI4-Stream.	2		
Procesarea datelor în flux. Caz de utilizare: Detectarea anomaliilor în datele provenite de la senzori.	2		
Proceduri de procesare a datelor conform cu AXI4-Stream pe o placa de dezvoltare care conține FPGA.	2		
Proiectarea memoriilor SRAM și DRAM	2		
Proiectarea memoriilor de mare viteză	2		
Implementarea unei memorii Cache cu mapare directă pe placa pe o placa de dezvoltare care conține FPGA.	2		
Exerciții recapitulative	2		
Colocviu de laborator	2		

Bibliografie

1. Cursuri și lucrări de laborator pe site-ul Moodle destinat cursului
2. Intel, Using the RDTSC Instruction for Performance Monitoring [accessed Sept. 2024], <https://www.ccsf.carleton.ca/~jamuir/rdtsrpm1.pdf>
3. Peter Kankowski, Performance measurements with RDTSC [accessed Sept. 2024], https://www.strchr.com/performance_measurements_with_rdtsc
4. John Lyon-Smith, Getting accurate per thread timing on Windows [accessed Sept. 2024], <https://web.archive.org/web/20090510073435/http://lyon-smith.org/blogs/code-o-rama/archive/2007/07/17/timing-code-on-windows-with-the-rdtsc-instruction.aspx>
5. AMBA 4 AXI4-Stream Protocol Specification - Arm [accessed Oct. 2024], <https://documentation-service.arm.com/static/642583d7314e245d086bc8c9?token=>
6. How the axi-style ready/valid handshake works [accessed Oct. 2024], <https://vhdlwhiz.com/how-the-axi-style-ready-valid-handshake-works/>
7. Vivado Design Suite User Guide: Designing with IP (UG896) - Using the IP Catalog [accessed Oct. 2024], <https://docs.xilinx.com/r/en-US/ug896-vivado-ip/Using-the-IP-Catalog>
8. Stimulus file read in testbench using TEXTIO [accessed Oct. 2024], <https://vhdlwhiz.com/stimulus-file/>
9. Crockett, L. H., Elliot, R. A., Enderwitz, M. A., & Stewart, R. W. (n.d.). *The Zynq book: Embedded processing with the ARM® Cortex®-A9 on the Xilinx® Zynq®-7000 all programmable SoC* (1st ed.). Department of Electronic and Electrical Engineering, University of Strathclyde
10. Z.F. Baruch, *Aplicații de Proiectare Digitală cu Circuite FPGA*, ISBN 978-606-020-261-5, 2020
11. AMD, „7 Series FPGAs and Zynq-7000 SoC XADC Dual 12-Bit 1 MSPS Analog-to-Digital Converter User Guide (UG480)”, Sept. 2022. [Online]. Available: https://docs.amd.com/r/en-US/ug480_7Series_XADC/XADC-Overview

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

Conținutul disciplinei a fost coroborat cu conținutul unor discipline similare din SUA și Europa, și cu conținutul unor manuale consacrate utilizate în universități de prestigiu. De asemenea, conținutul disciplinei a fost discutat cu reprezentanți ai unor companii din România și SUA. Disciplina a fost evaluată de către agenția ARACIS.

10. Evaluare

Tip activitate	Criterii de evaluare	Metode de evaluare	Pondere din nota finală
Curs	Înțelegerea unor concepte teoretice, abilități de rezolvare a unor probleme	Examen scris	60%
Laborator	Rezolvarea temelor propuse la ședințele de laborator	Verificarea modului de rezolvare a temelor propuse la ședințele de laborator și colocviu scris	20%
Proiect		Evaluarea fazelor proiectului,	

	Proiectarea, implementarea și testarea unor module hardware	prezentarea documentației scrise și susținerea unei demonstrații practice pentru proiectul asignat	20%
Standard minim de performanță: Prezența la fiecare ședință de laborator; rezolvarea temelor propuse la ședințele de laborator Calcul notă disciplină: 20% Laborator + 20% Proiect + 60% Examen Condiții de participare la examenul final: Laborator ≥ 5, Proiect ≥ 5, Examen scris ≥ 5 Condiții de promovare: Nota disciplină ≥ 5			

Data completării: 26.02.2025	Titulari	Titlu, prenume / NUME	Semnătura
	Curs	Prof.dr.ing. Anca HÂNGAN	
		Șl. dr. ing. Mircea-Paul MUREȘAN	
		Șl.dr.ing. Dragoș-Florin LIȘMAN	
	Aplicații	Șl.dr ing Mădălin NEAGU	
		Șl.dr.ing. Dragoș-Florin LIȘMAN	

Data avizării în Consiliul Departamentului Calculatoare	Director Departament, Prof.dr.ing. Rodica Potolea
Data aprobării în Consiliul Facultății de Automatică și Calculatoare	Decan, Prof.dr.ing. Vlad Mureșan